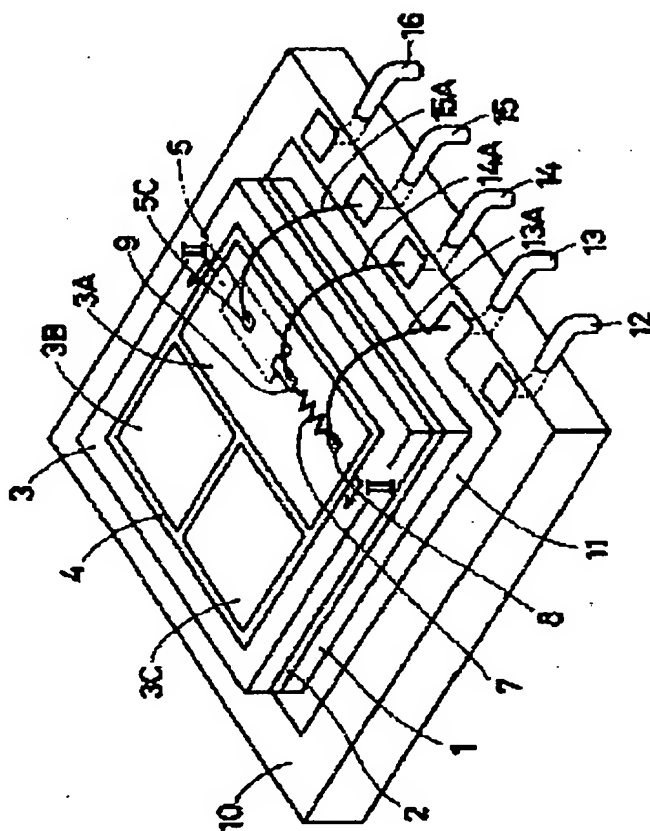


**- european:**  
**Application number:** JP20000166386 20000602  
**Priority number(s):** JP20000166386 20000602

**Abstract of JP2001345426**

**PROBLEM TO BE SOLVED:** To prevent an excessive voltage and the like from being applied to an electronic circuit and the like and to enhance the durability and reliability of a semiconductor device. **SOLUTION:** A semiconductor device is constituted in a structure that semiconductor regions 3A, 3B, and 3C separated into a trench type insulating region 4 are formed on the surface of a silicon support substrate 1 via a dielectric film 2. A MOSFET 5, which is used as an electronic circuit, and a resistor 7 are formed on the region 3A. The substrate 1 is mounted on a package 10 and is connected with a land 11 on the package 10. A pad electrode 8 on the end on one side of the ends of the resistor 7 is connected with the land 11 and a terminal 13, a pad electrode 9 on the side of the other end of the resistor 7 is connected with a terminal 14, and a gate electrode 5C which forms an input terminal of an electronic circuit is connected with a terminal 15. As a result, even though device electrostatic discharge out of charged device is generated, a discharge current can be limited by the resistor 7.



(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開 2001-345426

(P 2001-345426A)

(43)公開日 平成13年12月14日(2001.12.14)

(51)Int. Cl. <sup>7</sup>	識別記号	F I	テームト(参考)		
H 0 1 L	27/04	H 0 1 L	27/06	3 1 1	A 5F038
	21/822		27/04		H 5F048
	23/12		23/12		E 5F110
	27/06	3 1 1	29/78	6 1 3	Z
	29/786			6 2 1	
審査請求	未請求	請求項の数 6	O L	(全 9 頁)	最終頁に続く

(21)出願番号 特願2000-166386(P2000-166386)

(22)出願日 平成12年6月2日(2000.6.2)

(71)出願人 000167406

株式会社ユニシアジェックス

神奈川県厚木市恩名1370番地

(72)発明者 田島 豊

神奈川県厚木市恩名1370番地 株式会社ユニシアジェックス内

(74)代理人 100079441

弁理士 広瀬 和彦

F ターム(参考) 5F038 AR02 AR03 AR27 AV06 BE07

BH02 BH13 BH19 EZ06 EZ20

5F048 AA02 AC10 BA16 BG05 BG14

CC01 CC18

5F110 AA22 CC02 DD05 DD13 GG02

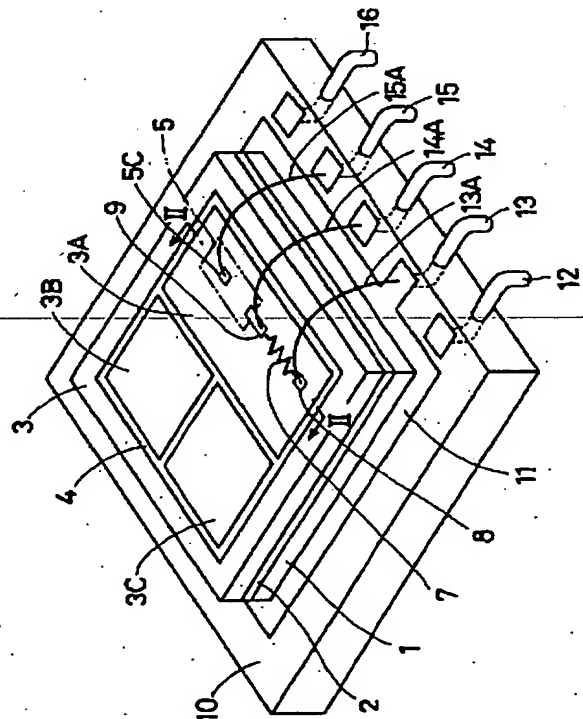
GG12 GG35 NN62 NN71 QQ17

(54)【発明の名称】半導体装置

(57)【要約】

【課題】 電子回路等に過大電圧等が印加されるのを防ぎ、耐久性、信頼性を向上できるようにする。

【解決手段】 シリコン支持基板1の表面上に誘電体膜2を介してトレンチ溝型絶縁領域4に分離された半導体領域3A、3B、3Cを形成する。また、半導体領域3Aには、電子回路となるMOSFET 5と抵抗7とを形成する。さらに、シリコン支持基板1は、パッケージ10に搭載されてパッケージ10上のランド11に接続される。そして、抵抗7の一端側のパッド電極8はランド11、端子13に接続し、他端側のパッド電極9は端子14に接続し、電子回路の入力端子をなすゲート電極5Cは端子15に接続する。これにより、デバイス帯電型静電気放電が発生しても抵抗7によって放電電流を制限することができる。



## 【特許請求の範囲】

【請求項1】 半導体支持基板主面に誘電体で絶縁分離された半導体層を有する半導体装置において、前記半導体層主面に前記誘電体に達するようにトレンチ溝型絶縁領域を設け、該トレンチ溝型絶縁領域によって複数の半導体領域に分離し、該半導体領域に電子回路を形成し、

かつ該電子回路の高電位電源端子または低電位電源端子と、前記半導体支持基板とを、前記複数の半導体領域のうちいずれかの半導体領域に形成した抵抗を介して接続したことを特徴とする半導体装置。

【請求項2】 前記複数の半導体領域のうち少なくとも2つの半導体領域に形成された電子回路の各高電位電源端子または各低電位電源端子を、前記複数の半導体領域のうちいずれかの半導体領域に形成した他の抵抗を介して接続してなる請求項1に記載の半導体装置。

【請求項3】 前記半導体支持基板を実装するパッケージの導電性のランド領域と前記半導体支持基板とを電気的に接続し、

かつ該ランド領域が接続されるパッケージの端子と、前記抵抗が接続される2つの端子のうち前記電子回路が接続される端子と別の端子のパッド領域とを、ボンディングワイヤによって接続してなる請求項1または2に記載の半導体装置。

【請求項4】 前記半導体支持基板を実装するパッケージには複数の端子を設け、該複数の端子のうち前記電子回路の高電位電源端子または低電位電源端子が接続される第1の端子と、前記半導体支持基板と前記パッケージのランド領域のうち少なくともいずれか一方が接続される第2の端子とを、異なる端子にしてなる請求項3に記載の半導体装置。

【請求項5】 前記第1の端子と第2の端子とを、前記パッケージが実装されるプリント基板のパターン配線に接続してなる請求項4に記載の半導体装置。

【請求項6】 前記複数の半導体領域のうちの半導体領域には、前記抵抗のみを形成してなる請求項1, 2, 3, 4または5に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体支持基板の表面（主面）上に誘電体を介して半導体領域が形成された半導体装置に関する。

## 【0002】

【従来の技術】一般に、半導体装置として、例えば半導体支持基板をなすシリコン基板上にシリコン酸化膜等の誘電体を介してp形シリコンまたはn形シリコンからなる半導体層を形成したものが知られている（例えば、特開平9-266310号公報等）。

【0003】このような従来技術の半導体装置にあっては、半導体層の表面に誘電体に達するようにトレンチ溝

型絶縁領域を設け、該トレンチ溝型絶縁領域によって複数の半導体領域に分離すると共に、各半導体領域に各種の電子回路を形成している。また、半導体装置の半導体支持基板は、外部との接続を行うための複数の端子を有するパッケージに搭載されている。そして、半導体装置の電子回路は、パッケージの端子を通じて外部に接続されるものである。

【0004】また、従来技術による半導体装置は、半導体支持基板の電位変動による電子回路の誤動作を防ぐために、半導体支持基板を低電位電源端子に接続（接地）している。このとき、パッケージのランド（ベット）と半導体支持基板とを電気的に接続すると共に、パッケージのランドを接地し、ランドの電位を固定する。これにより、半導体支持基板の電位を固定している。

## 【0005】

【発明が解決しようとする課題】ところで、上述した従来技術による半導体装置では、半導体装置自体がパッケージごと静電気帯電し、その後半導体装置の電子回路が接続されている複数の端子のうちいずれかの端子が導体に接触して、半導体装置等に帯電した静電気電荷が放電するデバイス帯電型静電気放電（CDM）が発生することがある。

【0006】このようなデバイス帯電モデル型の静電気放電の場合、半導体装置のうち半導体支持基板とパッケージのランドとが電気的に接続されているから、半導体支持基板とパッケージとに帯電した静電気も半導体領域に形成された電子回路を通じて放電される。

【0007】このため、過大電圧や過大電流が電子回路に印加され、電子回路が損傷する傾向があると共に、半導体支持基板と半導体層（半導体領域）とを分離する誘電体、半導体領域間を分離する酸化膜等からなるトレンチ溝型絶縁領域にも損傷を発生させる虞れがあるという問題がある。

【0008】本発明は上述した従来技術の問題に鑑みなされたもので、本発明の目的は、電子回路等に過大電圧等が印加されるのを防ぎ、耐久性、信頼性を向上できるようにした半導体装置を提供することにある。

## 【0009】

【課題を解決するための手段】上述した課題を解決するために本発明は、半導体支持基板主面に誘電体で絶縁分離された半導体層を有する半導体装置に適用される。

【0010】そして、請求項1の発明が採用する構成の特徴は、前記半導体層主面に前記誘電体に達するようにトレンチ溝型絶縁領域を設け、該トレンチ溝型絶縁領域によって複数の半導体領域に分離し、該半導体領域に電子回路を形成し、かつ該電子回路の高電位電源端子または低電位電源端子と、前記半導体支持基板とを、前記複数の半導体領域のうちいずれかの半導体領域に形成した抵抗を介して接続したことにある。

【0011】このように構成することにより、半導体支

持基板に帯電した静電気電荷が電子回路を通じて放電するときには、放電電流は半導体領域に形成した抵抗を通過する。このとき、抵抗によって放電電流の大きさが制限されるので、電子回路に過大電流が流れるのを防止できる。また、抵抗によって放電時間が長くなるので、半導体領域内部で大きな電位勾配が生じることがなくなるから、電子回路を構成するトランジスタ等の酸化膜に大きな電位差が生じることがなく、酸化膜の損傷を防ぐことができる。さらに、半導体領域の静電気電荷に加えて、半導体支持基板の静電気電荷も確実に放電させることができるから、半導体領域の静電気電荷だけが先に放電してしまうことがない。このため、誘電体、トレンチ溝型絶縁領域への印加電界が過剰に大きくなるのを防止でき、誘電体等の絶縁破壊を防止することができる。

【0012】また、請求項2の発明は、前記複数の半導体領域のうち少なくとも2つの半導体領域に形成された電子回路の各高電位電源端子または各低電位電源端子を、前記複数の半導体領域のうちいずれかの半導体領域に形成した他の抵抗を介して接続する構成としたことにある。

【0013】これにより、少なくとも2つの半導体領域に電子回路を形成すると共に、各電子回路の各高電位電源端子、各低電位電源端子を他の抵抗を介して互いに接続するから、2つの抵抗によって放電電流を制限でき、各半導体領域内の電子回路、2つの半導体領域間の配線等にはサージ放電による大電流が流れることがない。このため、各電子回路等の損傷を防止できる。さらに、各半導体領域に帯電した静電気電荷を両方とも除去することができるから、半導体領域間でサージに伴う大きな電位差が生じることがない。このため、半導体領域間のトレンチ溝型絶縁領域の絶縁破壊等も防ぐことができる。

【0014】また、請求項3の発明は、前記半導体支持基板を実装するパッケージの導電性のランド領域と前記半導体支持基板とを電気的に接続し、かつ該ランド領域が接続されるパッケージの端子と、前記抵抗が接続される2つの端子のうち前記電子回路が接続される端子と別の端子のパッド領域とを、ボンディングワイヤによって接続する構成としたことにある。

【0015】これにより、半導体領域、半導体支持基板の静電気電荷と共にパッケージのランド領域の静電気電荷をも放電させることができる。このため、パッケージの静電気放電による電子回路の損傷も防ぐことができる。

【0016】また、請求項4の発明は、前記半導体支持基板を実装するパッケージには複数の端子を設け、該複数の端子のうち前記電子回路の高電位電源端子または低電位電源端子が接続される第1の端子と、前記半導体支持基板と前記パッケージのランド領域のうち少なくともいずれか一方が接続される第2の端子とを、異なる端子にしたことにある。

【0017】これにより、第1の端子に電子回路の高電位電源端子、低電位電源端子を接続し、第2の端子には半導体支持基板、パッケージのランド領域を接続し、電子回路の高電位電源端子等と半導体支持基板等とは抵抗を介して接続するから、第1、第2の端子から静電気放電が生じるときであっても、放電電流を抵抗を通じて流すことができ、電子回路等の損傷を防ぐことができる。

【0018】また、請求項5の発明は、前記第1の端子と第2の端子とを、前記パッケージが実装されるプリント基板のパターン配線に接続したことにある。

【0019】これにより、パッケージがプリント基板に実装されると、第1、第2の端子はいずれも高電位電源、低電位電源に接続されることによって、半導体支持基板も十分に低いインピーダンスで電位が固定されることになる。このため、半導体領域に抵抗を設けたときでも、通常の回路動作時に生じる $dv/dt$ サージによる半導体支持基板の電位変動が生じることがない。従って、電子回路の誤動作を防ぐことができ、半導体装置の通常動作に一切影響を与えることなく、電子回路等の損傷を防ぐことができる。

【0020】さらに、請求項6の発明は、前記複数の半導体領域のうち一の半導体領域には、前記抵抗のみを形成したことにある。

【0021】これにより、抵抗と電子回路とは異なる半導体領域に形成されているから、抵抗と電子回路との間が寄生トランジスタ等の寄生素子によって接続されることがない。このため、半導体支持基板等から静電気放電に伴う過大電圧が抵抗に印加されても、寄生素子を通じてサージ電流が流れることがない。従って、過電圧、過電流の大きさを確実に抵抗で制限できると共に、電子回路等の損傷を確実に防ぐことができる。

【0022】

【発明の実施の形態】以下、本発明の実施の形態による半導体装置を図1ないし図6を参照して詳細に説明する。

【0023】まず、図1および図2は本発明の第1の実施の形態を示し、図において、1は例えばシリコン材料からなるシリコン支持基板で、該シリコン支持基板1の表面上には、シリコン酸化膜等の誘電体膜2が設けられると共に、該誘電体膜2を介してp形シリコンからなる半導体層3が形成されている。これにより、シリコン支持基板1、誘電体膜2、半導体層3はSOI (Silicon On Insulator) 構造をなしている。

【0024】4は半導体層3に設けられたトレンチ溝型絶縁領域で、該トレンチ溝型絶縁領域4は、例えば略四角形の複数の枠状に形成され、その底部は誘電体膜2に達している。そして、トレンチ溝型絶縁領域4は、半導体層3を複数の半導体領域3A、3B、3C (3個のみ図示)に区切り、これらを絶縁状態に分離している。

【0025】5は半導体領域3Aに形成されたnチャネル型のMOSトランジスタで、該MOSトランジスタ5（以下、MOSFET5という）は、電子回路の一部をなし、n形拡散層からなるドレイン5A、該ドレイン5Aの近傍に設けられたp形拡散層からなるソース5Bと、ドレイン5A、ソース5Bの表面側に設けられた金属薄膜からなるゲート電極5Cとによって構成されている。また、ゲート電極5Cは、電子回路が有する複数の入力端子のうちの1つの入力端子をなし、ゲート電極5Cと半導体領域3A表面との間にはシリコン酸化膜（図示せず）が設けられている。

【0026】6は半導体領域3Aに形成されたp形拡散層で、該p形拡散層6は、電子回路の一部をなすと共に、例えば接地端子等のような電子回路の低電位電源端子としての後述のバッド電極9に接続されている。これにより、p形拡散層6は、電子回路の基準電位をなすと共に、半導体領域3A全体の電位を固定している。

【0027】7は半導体領域3Aに形成された抵抗で、該抵抗7はn形拡散層によって形成されている。そして、抵抗7の両端には、バッド電極8、9がそれぞれ設けられると共に、バッド電極9は電子回路の低電位電源端子となってp形拡散層6に接続されている。

【0028】10はシリコン支持基板1等を実装するパッケージで、該パッケージ10は、例えば絶縁性の樹脂材料からなる板体によって形成され、その表面には導電性金属材料からなるランド11が設けられている。また、ランド11上にはシリコン支持基板1が載置されると共に、これらのシリコン支持基板1とランド11との間は電気的に接続されている。そして、ランド11は、後述の端子13を通じて外部（例えばプリント基板）の低電位電源に接続される。これにより、ランド11はシリコン支持基板1の電位を低電位（アース電位）に固定し、シリコン支持基板1の電位変動による電子回路の誤動作を防止している。

【0029】12、13、…16はパッケージ10に設けられた端子（5個のみ図示）で、該各端子12等は、半導体装置（電子回路）の低電位電源端子、高電位電源端子、入力端子、出力端子等を外部のプリント基板（図示せず）の低電位電源、高電位電源、入力信号用回路、出力信号用回路等に接続するものである。

【0030】そして、例えば端子13は、パッケージ10のランド11に接続されると共に、ボンディングワイヤ13Aを通じて抵抗7の一端側に設けられたバッド電極8に接続されている。これにより、ボンディングワイヤ13Aは、ランド11を抵抗7の両端のうち電子回路（p形拡散層6）に接続される他端側とは反対の一端側に設けられたバッド電極8に接続している。

【0031】また、端子14は、ボンディングワイヤ14Aを通じて抵抗7の他端側に設けられたバッド電極9に接続され、端子15は、ボンディングワイヤ15Aを

通じて電子回路の入力端子として例えばMOSFET5のゲート電極5Cに接続されている。さらに、ゲート電極5Cには保護ダイオード（図示せず）が接続される。なお、電子回路の高電位電源端子、出力端子（いずれも図示せず）は、他の端子12等にボンディングワイヤ（図示せず）を通じて接続されるものである。

【0032】本実施の形態による半導体装置は上述の如き構成を有するもので、次にその作動について説明する。

【0033】まず、パッケージ10をプリント基板に実装し、端子13、14をプリント基板に設けられたアース電位等の低電位電源に接続すると共に、端子15を信号線として他の素子等（入力信号用回路）に接続する。これにより、半導体領域3Aに設けられたMOSFET5等からなる電子回路は、端子15からの入力信号に応じて作動し、各種の演算、処理等の通常の動作を行う。

【0034】ここで、半導体装置のアセンブリ工程では、パッケージ10の端子12等が静電気が帯電した物体に接触し、パッケージ10のランド11等が静電気帯電することがある。また、パッケージ10の表面に摩擦等が生じたときにも、パッケージ10のランド11等は静電気帯電する。このようにパッケージ10に静電気帯電が発生すると、パッケージ10のランド11とシリコン支持基板1とは電気的に接続されているから、静電気帯電によってパッケージ10が高電圧にチャージアップされると、同時にシリコン支持基板1も高電圧にチャージアップされる。

【0035】また、一般的に静電気帯電によってパッケージ10自体が高電圧にチャージアップされると、静電誘導によってもシリコン支持基板1、半導体層3等が高電圧が誘起される。さらに、半導体層3内部の各半導体領域3A等は電子回路の配線（図示せず）によって相互に接続されているから、シリコン支持基板1、半導体層3等が静電気によってチャージアップすると、各半導体領域3A、3B、…の全体が高電圧が誘起されることになる。

【0036】このようにパッケージ10、シリコン支持基板1等が高電圧が誘起された状態で、パッケージ10の端子12等が外部の導体等に接触すると、パッケージ

10等に帯電した静電気電荷が放電されるデバイス帯電型静電気放電が発生することがある。このとき、例えば電子回路の入力端子（ゲート電極5C）に接続されている端子15が導体に接触した場合は、半導体領域3A等に充電された静電気は、保護ダイオード等を介して端子15を通じて流れることになる。このため、端子15に接続されたゲート電極5Cを通じて電子回路に静電気放電に伴う過電圧が印加されると共に電子回路には過電流が流れるので、電子回路を損傷する虞れがある。

【0037】しかし、本実施の形態では、電子回路が形成されている半導体領域3Aとシリコン支持基板1、パ

パッケージ10のランド11とを抵抗7によって接続したから、以下に示す理由によって電子回路に損傷が発生することがない。

【0038】即ち、シリコン支持基板1とパッケージ10自体に蓄えられている大きな静電気電荷による放電電流は、一旦パッド電極8から抵抗7に印加され、それから抵抗7を経てパッド電極9に流れることになる。そして、その後に半導体領域3A内部の電子回路(MOSFET5等)を経て端子15から放電される。このため、抵抗7によって放電電流の大きさが制限されるので、半導体領域3A内部の電子回路に過大電流が流れることがなくなる。

【0039】また、抵抗7による放電時間の長期化により、ある程度の時間を費やして放電されるから、半導体領域3A内部で大きな電位勾配が生じることがなくなる。この結果、電子回路を構成するMOSFET5等の酸化膜に大きな電位差が生じることがないから、酸化膜の損傷を防ぐことができる。

【0040】さらに、半導体領域3Aとシリコン支持基板1、パッケージ10のランド11と接続したから、半導体領域3Aの静電気電荷に加えてシリコン支持基板1、パッケージ10の静電気電荷も確実に放電させることができる。このため、半導体領域3Aの静電気電荷だけが先に放電してしまうことがない。このため、誘電体膜2、トレンチ溝型絶縁領域4への印加電界が過剰に大きくなるのを防止でき、誘電体膜2等の絶縁破壊を防止することができる。

【0041】かくして、本実施の形態では、電子回路が形成されている半導体領域3Aとシリコン支持基板1、パッケージ10のランド11とを抵抗7によって接続したから、抵抗7によって放電電流の大きさを制限すると共に半導体領域3A内部での電位勾配を小さくし、電子回路の損傷を防止できる。また、半導体領域3A、シリコン支持基板1の静電気電荷を放電させることができるから、誘電体膜2、トレンチ溝型絶縁領域4への印加電界を小さくでき、誘電体膜2等の絶縁破壊を防止することができる。この結果、デバイス帯電型静電気放電が発生するときであっても、半導体装置が損傷することがないから、半導体装置の信頼性、耐久性を向上することができる。

【0042】また、シリコン支持基板1とパッケージ10のランド11とを電気的に接続すると共に、ランド11を抵抗7の一端側のパッド電極8に接続したから、半導体領域3A、シリコン支持基板1の静電気電荷に加えてパッケージ10の静電気電荷をも確実に放電させることができる。このため、パッケージ10の静電気電荷による電子回路等の損傷も防ぐことができる。

【0043】さらに、電子回路の低電位電源端子(p形拡散層6)はパッケージ10の端子14に接続し、シリコン支持基板1、パッケージ10のランド11は端子1

3とは異なる端子13に接続したから、端子13、14間を抵抗7を介して接続することができる。このため、端子13、14から静電気放電が生じるときであっても、放電電流を抵抗7を通じて流すことができ、電子回路等の損傷を防ぐことができる。

【0044】一方、端子13、14を、いずれもパッケージ10が実装されるプリント基板のパターン配線に接続するから、半導体装置の通常動作に一切影響を与えることない。

【0045】即ち、パッケージ10がプリント基板に実装されると、端子13、14はいずれも低電位電源に接続されるから、シリコン支持基板1も十分に低いインピーダンスで電位が固定されることになる。このため、半導体領域3Aに抵抗7を設けたときでも、通常の回路動作時に生じる $dv/dt$ サージによるシリコン支持基板1の電位変動が生じることがない。従って、電子回路の誤動作を防ぐことができ、半導体装置の通常動作に一切影響を与えることなく、電子回路等の損傷を防ぐことができる。

【0046】次に、図3は本発明の第2の実施の形態を示し、本実施の形態の特徴は、2つの半導体領域に形成された電子回路の各低電位電源端子(各高電位電源端子)を、任意の半導体領域に形成した他の抵抗を介して相互に接続したことにある。なお、本実施の形態では、前述した第1の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

【0047】21は半導体領域3Aとは異なる半導体領域3Bに形成された他の抵抗で、該抵抗21は、第1の実施の形態による抵抗7と同様にn形拡散層によって形成されている。

【0048】22、23は抵抗21の両端にそれぞれ設けられたパッド電極で、該パッド電極22は配線24を通じて半導体領域3Aのパッド電極9、端子14に接続され、パッド電極23はボンディングワイヤ25を通じてパッケージ10の端子16に接続されている。これにより、パッド電極22、23は端子14、16を通じて低電位電源に接続されると共に、パッド電極23は後述する電子回路26の低電位電源端子をなすものである。

【0049】26は半導体領域3Bに形成された他の電子回路で、該電子回路26は、第1の実施の形態による電子回路と同様にMOSトランジスタ等によって構成されている。そして、電子回路26は、低電位電源端子としてのパッド電極23に接続されると共に、半導体領域3Bの電位を固定するために該パッド電極23は半導体領域3B表面に形成されたp形拡散層(図示せず)に接続されている。また、電子回路26の高電位電源端子、入力端子、出力端子は、他の端子12、半導体領域3Aの電子回路等に配線、ボンディングワイヤ(いずれも図示せず)等を通じて接続されるものである。

【0050】かくして、本実施の形態でも第1の実施の



形態と同様の作用効果を得ることができる。しかし、本実施の形態では、2つの半導体領域3A、3Bに形成された低電位電源端子としてのパッド電極9、23を、抵抗21を介して接続する構成としたから、半導体装置が静電気帯電した状態でパッケージ10の端子15等が外部の導体に触れたとしても、半導体装置の損傷をより一層確実に防ぐことができる。つまり、第1の実施の形態と同様に端子15が放電する場合を考えると、半導体領域3B内部の静電気もシリコン支持基板1、パッケージ10の静電気と同様に抵抗21によって放電電流の大きさが制限される。このため、第1の実施の形態による作用効果がより一層顕著になる。

【0051】特に、半導体領域3A、3B等の静電気放電に対して本実施の形態は有効な効果を有する。つまり、抵抗7、21によって半導体領域3A内の電子回路(MOSFET5)、半導体領域3Bの電子回路26にはサージ放電による大電流が流れることがない。また、MOSFET5、電子回路26との間の配線24等を通じてサージ放電による大電流が流れることがないから、MOSFET5、電子回路26等の損傷を防止できる。さらに、半導体領域3A、3Bに帯電した静電気電荷を両方とも除去することができるから、半導体領域3A、3B間でサージに伴う大きな電位差が生じることがない。このため、半導体領域3A、3B間のトレンチ溝型絶縁領域4の絶縁破壊等も防ぐことができ、信頼性、耐久性をより一層高めることができる。

【0052】なお、電子回路26の低電位電源端子をなすパッド電極23はボンディングワイヤ25、端子16を通じて直接的にプリント基板の低電位電源(図示せず)に接続されるから、抵抗21は電子回路26の通常の動作に一切影響を与えることはない。

【0053】次に、図4ないし図6は本発明の第3の実施の形態を示し、本実施の形態の特徴は、複数の半導体領域のうち一の半導体領域には、抵抗のみを形成したことにある。なお、本実施の形態では、前述した第1の実施の形態と同一の構成要素に同一の符号を付し、その説明を省略するものとする。

【0054】31は第1の実施の形態による抵抗7に代えて形成された抵抗で、該抵抗31は、電子回路をなすMOSFET5等が形成された半導体領域3Aとは異なる半導体領域3Cに形成されている。また、抵抗31は第1の実施の形態による抵抗7と同様にn形拡散層によって形成されるものの、半導体領域3Cには抵抗31のみが形成され、電子回路等は形成されていない。

【0055】32、33は抵抗31の両端にそれぞれ設けられたパッド電極で、該パッド電極32はボンディングワイヤ34を通じてパッケージ10の端子13に接続され、パッド電極33は配線35を通じて半導体領域3Aのパッド電極9、端子14に接続されている。これにより、パッド電極32、33は端子13、14を通じて

低電位電源に接続されるものである。

【0056】かくして、本実施の形態でも第1の実施の形態と同様の作用効果を得ることができる。しかし、本実施の形態では、半導体領域3Cには抵抗31のみを形成したから、第1の実施の形態に比べて電子回路の損傷をより確実に防止することができる。

【0057】即ち、第1の実施の形態のように電子回路(MOSFET5)と抵抗7とを同一の半導体領域3Aに形成した場合、図6に示す比較例のように抵抗7とMOSFET5との間には必然的にpn接合に伴うダイオード、トランジスタ等の多数の寄生素子36、36、...が形成される。このため、静電気放電のように過大電圧印加時に、これらの寄生素子36にもサージ電流が流れてしまい、過電流、過電圧を十分に制限できず、MOSFET5等を損傷してしまう虞れがある。

【0058】これに対し、本実施の形態では、半導体領域3Cには抵抗31のみを形成し、抵抗31を電子回路の半導体領域3Aとは異なる半導体領域3Cに設けたから、抵抗31と電子回路(MOSFET5)とが寄生素子によって接続されることがない。このため、シリコン支持基板1、パッケージ10等からの大きな静電気放電に伴う過大電圧が抵抗31に印加されても、寄生素子にサージ電流が流れ込むことがないから、過電流、過電圧の大きさを確実に抵抗31によって制限できる。従って、MOSFET5等の損傷をより確実に防止でき、信頼性等をさらに向上することができる。

【0059】なお、前記第2の実施の形態では半導体領域3Bに電子回路26と抵抗21とを形成するものとしたが、例えば半導体領域3Bには電子回路のみを形成し、半導体領域3Cには抵抗のみを形成すると共に、これらを配線によって接続する構成としてもよい。この場合には、第2の実施の形態による作用効果に加えて第3の実施の形態と同様の作用効果も得ることができる。

【0060】また、前記各実施の形態では、半導体領域3A、3B、3Cをp形シリコンによって形成するものとしたが、n形シリコンによって形成してもよい。この場合、各実施の形態に記載したn形とp形とを入れ替え、低電位電源端子と高電位電源端子とを入れ替えれば同様の作用効果を得ることができる。

【0061】

【発明の効果】以上詳述した通り、請求項1の発明によれば、半導体領域に形成した電子回路の高電位電源端子または低電位電源端子と半導体支持基板とを抵抗を介して接続したから、抵抗によって放電電流の大きさを制限すると共に半導体領域内部での電位勾配を小さくし、電子回路の損傷を防止できる。また、半導体領域、半導体支持基板の静電気電荷を放電させることができるから、誘電体、トレンチ溝型絶縁領域への印加電界を小さくでき、誘電体等の絶縁破壊を防止することができる。この結果、デバイス帯電型静電気放電が発生するときであつ

ても、半導体装置が損傷することがないから、半導体装置の信頼性、耐久性を向上することができる。

【0062】また、請求項2の発明によれば、複数の半導体領域のうち少なくとも2つの半導体領域に形成された電子回路の各高電位電源端子または各低電位電源端子を、複数の半導体領域のうちいずれかの半導体領域に形成した他の抵抗を介して接続する構成としたから、2つの抵抗によって放電電流を制限でき、各半導体領域内の電子回路、2つの半導体領域間の配線等にはサージ放電による大電流が流れることがなく、各電子回路等の損傷を防止できる。さらに、各半導体領域に帯電した静電気電荷を両方とも除去することができるから、半導体領域間のトレンチ溝型絶縁領域の絶縁破壊等も防ぐことができ、信頼性、耐久性を一層向上することができる。

【0063】また、請求項3の発明によれば、半導体支持基板を実装するパッケージの導電性のランド領域と半導体支持基板とを電気的に接続し、かつ該ランド領域が接続されるパッケージの端子と、抵抗が接続される2つの端子のうち電子回路が接続される端子と別の端子のバッド領域とを、ボンディングワイヤによって接続する構成としたから、半導体領域、半導体支持基板の静電気電荷と共にパッケージのランド領域の静電気電荷をも放電させることができる。このため、パッケージの静電気放電による電子回路の損傷も防ぐことができる。

【0064】また、請求項4の発明によれば、半導体支持基板を実装するパッケージには複数の端子を設け、該複数の端子のうち電子回路の高電位電源端子または低電位電源端子が接続される第1の端子と、半導体支持基板とパッケージのランド領域のうち少なくともいずれか一方が接続される第2の端子とを、異なる端子にしたから、第1、第2の端子から静電気放電が生じるときであっても、放電電流を抵抗を通じて流すことができ、電子回路等の損傷を防ぐことができる。

【0065】また、請求項5の発明によれば、第1の端子と第2の端子とをパッケージが実装されるプリント基板のパターン配線に接続したから、第1、第2の端子はいずれもプリント基板の高電位電源、低電位電源に接続されることによって、半導体支持基板も十分に低いインピーダンスで電位が固定することができる。このため、半導体領域に抵抗を設けたときでも、通常の回路動作時に生じる $dv/dt$ サージによる半導体支持基板の電位変動が生じることがなく、電子回路の誤動作を防ぐことができ、半導体装置の通常動作に一切影響を与えること

なく、電子回路等の損傷を防ぐことができる。

【0066】さらに、請求項6の発明によれば、複数の半導体領域のうち一の半導体領域には、抵抗のみを形成したから、抵抗と電子回路とを異なる半導体領域に形成でき、抵抗と電子回路との間が寄生トランジスタ等の寄生素子によって接続されることがない。このため、半導体支持基板等から静電気放電に伴う過大電圧が抵抗に印加されても、寄生素子を通じてサージ電流が流れることがないから、過電圧、過電流の大きさを確実に抵抗で制限できると共に、電子回路等の損傷を確実に防ぐことができる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置を示す斜視図である。

【図2】図1中の矢示II-II方向からみた断面図である。

【図3】第2の実施の形態による半導体装置を示す斜視図である。

【図4】第3の実施の形態による半導体装置を示す斜視図である。

【図5】図4中の矢示V-V方向からみた断面図である。

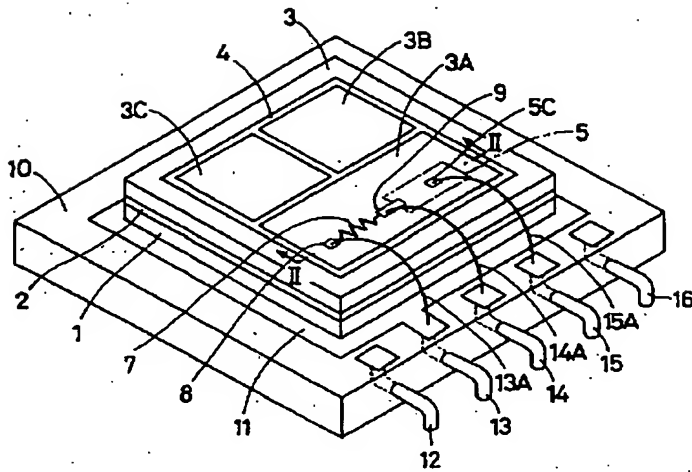
【図6】第3の実施の形態の比較例による半導体装置を示す断面図である。

#### 【符号の説明】

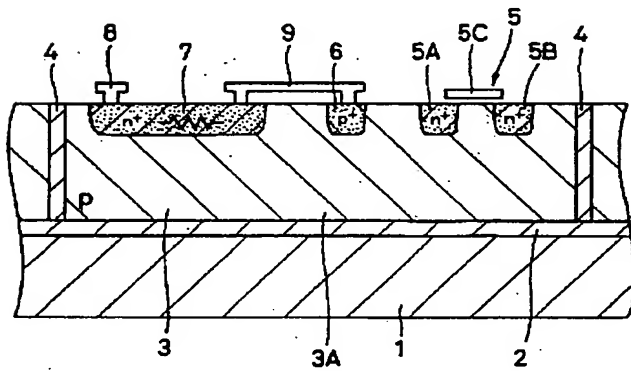
- 1 シリコン支持基板（半導体支持基板）
- 2 誘電体膜（誘電体）
- 3 半導体層
- 3A, 3B, 3C 半導体領域
- 4 トレンチ溝型絶縁領域
- 5 MOSFET（電子回路）
- 6 p形拡散層
- 7, 21, 31 抵抗
- 8, 9, 22, 23, 32, 33 バッド電極（バッド領域）
- 10 パッケージ
- 11 ランド（ランド領域）
- 12, 13, 14, 15, 16 端子
- 13A, 14A, 15A, 25, 34 ボンディングワイヤ
- 24, 35 配線
- 26 電子回路



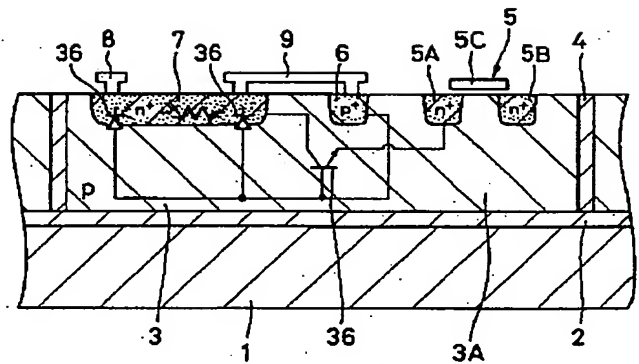
【図1】



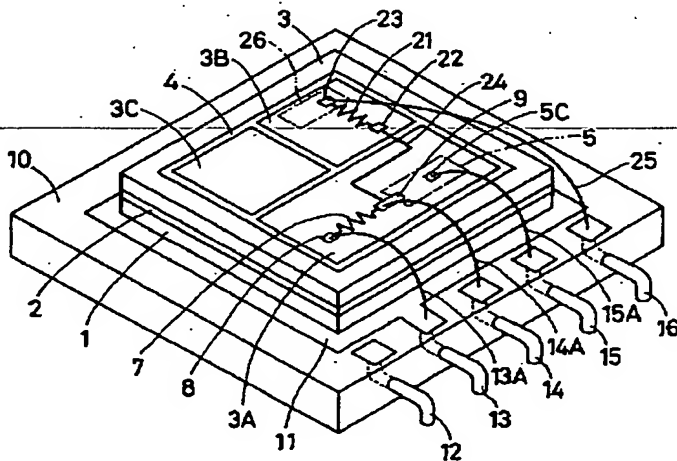
【図2】



【図6】

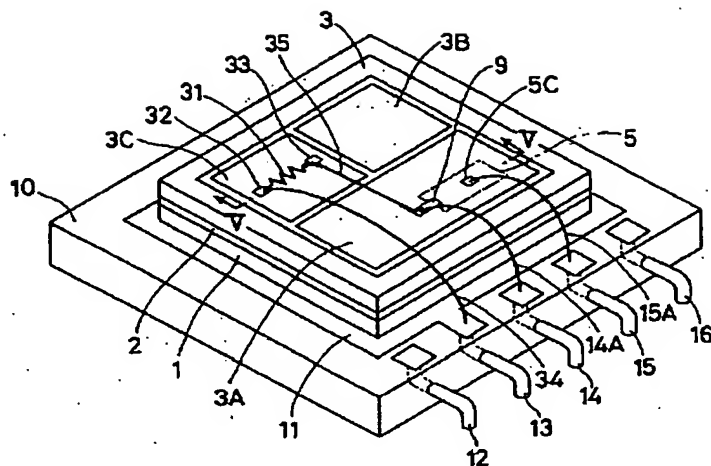


【図3】

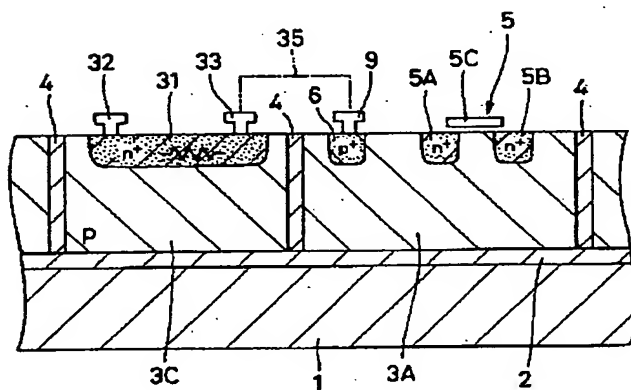


BEST AVAILABLE COPY

【図4】



【図5】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

FI  
H01L 29/78

テークアウト(参考)

623A